

基于磷钝化栅介质的 1.2kV 4H-SiC DMOSFET

刘佳佳, 刘英坤, 谭永亮, 张力江, 崔玉兴

(中国电子科技集团公司第十三研究所, 河北石家庄 050051)

摘 要: 本文对比了 NO 退火和磷掺杂两种栅钝化工艺, 其中磷钝化采用了平面扩散源进行掺杂, 通过 C-V 特性进行了 4H-SiC/SiO₂ 界面特性评价, 使用 Terman 法分析计算获得距导带底 0.2-0.4eV 范围内界面态密度. 结果表明引入磷比氮能更有效降低界面态密度, 提高沟道载流子迁移率. 其次, 对比了两种栅钝化工艺制备的 4H-SiC DMOSFET 器件性能, 实验表明采用磷钝化工艺处理的器件性能更优. 最后, 基于磷掺杂钝化工艺首次制备出击穿电压为 1200V、导通电阻为 20mΩ、漏源电流为 75 A、阈值电压为 2.4V 的 4H-SiC DMOSFET.

关键词: 4H-SiC MOSFET; 4H-SiC/SiO₂ 界面; 磷钝化; 界面态密度

中图分类号: TN304.0 **文献标识码:** A **文章编号:** 0372-2112 (2018)08-2026-04

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2018.08.031

1.2kV 4H-SiC DMOSFET with Phosphorous Passivated Gate Dielectric

LIU Jia-jia, LIU Ying-kun, TAN Yong-liang, ZHANG Li-jiang, CUI Yu-xing

(The 13th Research Institute, CETC, Shijiazhuang, Hebei 050051, China)

Abstract: To improve the 4H-SiC/SiO₂ interface quality phosphorous-doped technology and nitrogen-annealed technology were introduced. The phosphorous atoms were introduced into the 4H-SiC/SiO₂ interface by thermal annealing with a planar diffusion source (PDS). Current-voltage test was used to characterize the interface quality. To obtain the interface state density (D_{it}) lying energetically within 0.2eV-0.4eV of the conduction band edge (E_c), the C-V data was analyzed by using Terman method. It is apparent that the phosphorous-doped technology can reduce the interface state density near the conduction band of 4H-SiC effectively and increase the channel mobility and decrease the on resistance. Compared with NO passivated devices, P-doped devices have better performance. What's more, this technology has been applied to fabricate 1.2kV 4H-SiC DMOSFET firstly. Fabricated devices show a significant improvement with an on resistance of 20mΩ, drain-source current of 75A, threshold voltage of 2.4V.

Key words: 4H-SiC MOSFET; 4H-SiC/SiO₂ interface; phosphorous passivation; interface states

1 引言

以碳化硅 (SiC) 为代表的第三代宽禁带半导体材料具有高击穿场强、高热导率、高载流子饱和速度等优势, 除此之外能通过自身热氧化生长二氧化硅 (SiO₂) 的特性使其制备 SiC MOSFET 成为可能^[1]. SiC 的材料优势决定了 SiC 器件具有高功率、高效率、耐高温和抗辐照等特点, 与 Si MOSFET 相比 SiC MOSFET 具有低导通电阻、高开关频率和高稳定性等特点. 但由于 SiC 材料中碳原子及靠近 SiC/SiO₂ 界面陷阱的存在, 导致单纯经过热氧化生长的 SiC/SiO₂ 界面态密度比 Si/SiO₂ 高 1~2 个数量级^[2], 高界面态密度使 SiC MOSFET 沟道载流子

迁移率降低, 栅介质可靠性变差. 因此降低 SiC/SiO₂ 界面态密度, 尤其是靠近导带附近的界面态密度已成为 SiC MOSFET 研究的关键.

为减小 SiC/SiO₂ 界面态密度, 提高载流子迁移率, 人们采取了很多措施, 目前国际上通常采用 NO 或 N₂O 退火的方法, 在 SiC/SiO₂ 界面处引入氮来改善界面质量, 界面态密度可达到 ($10^{11} \sim 10^{12}$) eV⁻¹cm⁻², 沟道载流子迁移率可达到 20~35cm²/V·s^[3-5]. 氮钝化工艺虽然能够降低界面态密度, 但目前得到的载流子迁移率仍然很低^[6], 还远未达到预期. 国外有报道提出在 SiO₂ 栅介质中掺磷来提高沟道载流子迁移率, 迁移率可提升至 80~100 cm²/V·s, 但其掺磷栅所制备的 4H-SiC

MOSFET 为耗尽型器件^[7,8],而未来电力电子系统需要的主要还是增强型器件.国内目前主要基于 SiC MOS 结构进行掺 N 的研究,如氮等离子体处理或 NO 退火^[9,10],还未报道过有关磷掺杂钝化 SiC/SiO₂界面的研究,更未有关于磷掺杂栅钝化增强型 4H-SiC DMOSFET 器件研究成功的报道,本文在国内首次采用磷掺杂方法在 SiC/SiO₂界面引入磷来降低界面态密度,并基于此工艺技术成功制备出阈值电压为 2.4V、击穿电压为 1200V,在栅源电压为 20V 时漏源电流为 75A、导通电阻为 20mΩ 的增强型 4H-SiC DMOSFET.

2 实验

本实验采用 Cree 公司生产的 4 英寸晶向为(0001) 偏角 4° 的 n 型 4H-SiC 衬底,外延层为 n 型、掺杂浓度为 $7 \times 10^{15} \text{ cm}^{-3}$ 、厚度为 12μm.实验分为两组,除了栅钝化工艺条件不同外,其它工艺条件完全相同.首先对两组样品进行标准 RCA 清洗,之后完成 P 阱、P⁺、N⁺ 离子注入及退火,离子注入结束后在表面溅射一层碳膜,在 1700℃ 的温度下完成退火激活;在清洗完表面后,将第一组样品放入 1250℃ 的氧化炉中进行干氧化,氧化得到 8~10nm 的 SiO₂ 薄层,然后将氧化后的圆片放入 950℃ 的磷扩散炉中进行处理,然后将氧化后的圆片进行磷掺杂,掺杂结束后再 LPCVD 淀积一层 SiO₂,通过椭圆仪测量 SiO₂ 总厚度为 50nm.将第二组样品在 1250℃ 温度下进行干氧化,将氧化后的样品在 1250℃ 温度下进行 NO 退火 90min,获得 50nm SiO₂ 介质,之后进行源、漏欧姆接触及栅电极制备.测量 4H-SiC MOS 结构的 C-V 特性,借助 Terman 方法提取界面态密度,完成 4H-SiC/SiO₂ 界面态评价;测量 4H-SiC MOSFET 器件的转移特性,计算分析两种栅钝化工艺条件下的载流子迁移率;最后对比分析采用不同栅钝化工艺制备的 4H-SiC DMOSFET 器件转移特性、输出特性及击穿特性.

3 结果与讨论

室温下对两组样品的 MOS 结构进行 C-V 特性测试,测试的频率为 1MHz,并采用 Terman 法^[11] 提取得到不同栅钝化工艺条件下的 SiO₂/SiC 界面态密度(D_{it}) 曲线如图 1 所示,其中 $E_c - E$ 表示界面态能级距离导带的位置,从图中可以看出经磷掺杂的界面态密度比 NO 退火的界面态密度低两倍多,说明磷掺杂比 NO 退火能更有效的降低 SiC/SiO₂ 界面态密度,这是因为与氮相比磷的分布更靠近 SiC/SiO₂ 界面处,P=O 键可以更充分地替代碳悬挂键,从而能更有效钝化碳悬挂键和碳团簇^[7],提高载流子迁移率.图 2 为采用不同栅钝化工艺制备的 4H-SiC MOSFET 的 $I_{DS} - V_{GS}$ 曲线及对应迁移率大小.图中黑色(五角星)和红色(菱形)曲线分别表示

磷掺杂和 NO 退火两种栅钝化工艺,当 V_{GS} 为 20V 时经 NO 退火的器件迁移率为 $18 \text{ cm}^2/\text{V} \cdot \text{s}$,磷掺杂器件的迁移率为 $45 \text{ cm}^2/\text{Vs}$,约为 NO 退火的两倍多,迁移率的提高程度与界面态的降低程度对应一致.

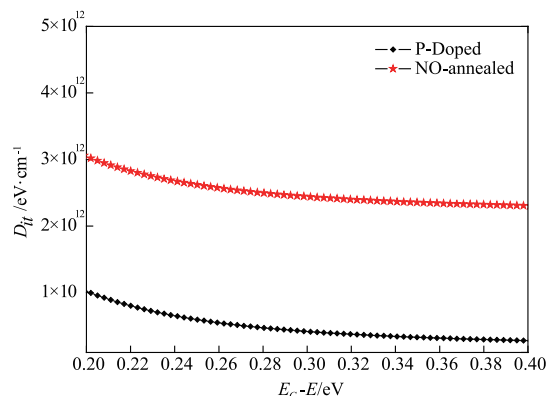


图1 磷钝化和NO退火两种栅钝化工艺的界面态密度对比曲线

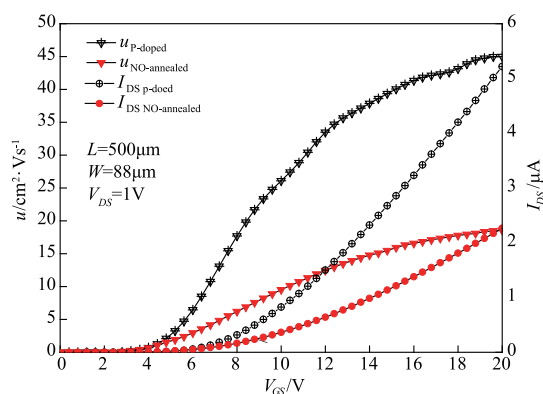


图2 不同栅钝化工艺制备的4H-SiC MOSFET转移特性及迁移率对比曲线

图 3 和图 4 为采用磷掺杂方法制备出的击穿电压为 1200V 的 4H-SiC DMOSFET 结构示意图及圆片照片.

在其它工艺条件相同的情况下只改变栅钝化工艺情况下,制备了两种 4H-SiC DMOSFET,元胞尺寸为 $13 \mu\text{m} \times 13 \mu\text{m}$,沟道长 $1 \mu\text{m}$,两 P 阱间距为 $3 \mu\text{m}$.芯片尺寸为 $5 \text{ mm} \times 5 \text{ mm}$,其中有源区面积约为 19.6 mm^2 ,栅

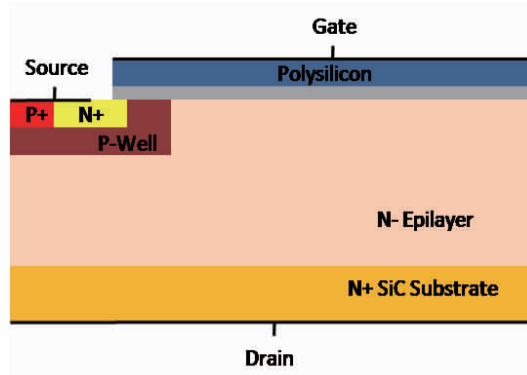


图3 4H-SiC DMOSFET结构示意图

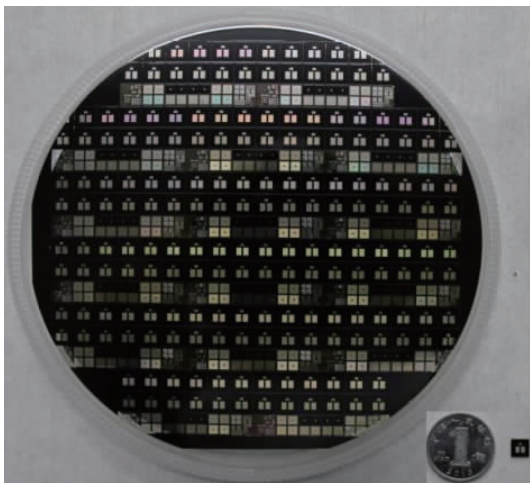
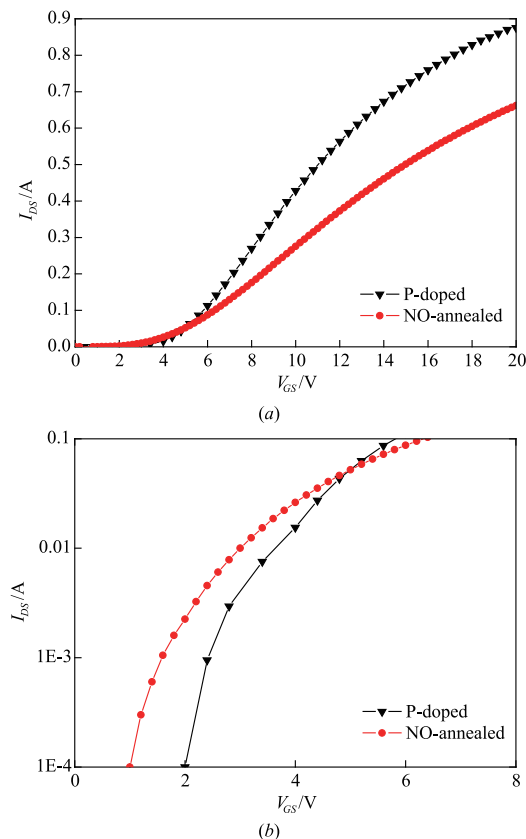


图4 1200V 4H-SiC DMOSFET 4英寸圆片照片

电极宽为 $500\mu\text{m} \times 800\mu\text{m}$ 。对应的转移特性曲线如图 5 所示。在漏源电压为 0.1V ，漏源电流为 1mA 时，经 NO 退火处理的器件阈值电压为 1.6V ，采用磷掺杂栅钝化工艺制备的器件阈值电压为 2.4V ；漏源电流为 $100\mu\text{A}$ 时，经 NO 退火的器件阈值电压为 0.8V ，采用磷掺杂栅钝化工艺制备的器件阈值电压为 2V ，说明磷掺杂栅钝化工艺制备的 4H-SiC DMOSFET 器件亚阈值特性更好。

图 6 为室温下在圆片上测量的 V_{GS} 为 $0 \sim 20\text{V}$ 时不同

图5 (a)和(b) 4H-SiC DMOSFET器件 I_{DS} - V_{GS} 关系曲线

栅钝化工艺对应的 4H-SiC DMOSFET 器件的输出特性曲线，考虑到散热问题，采用了脉冲测试，脉冲宽度为 $200\mu\text{s}$ ，占空比为 0.4% ，图 6(a)和(b)分别对应 NO 退火和磷掺杂栅钝化工艺，当栅源电压为 20V 时导通电阻分别约为 $34\text{m}\Omega$ 和 $20\text{m}\Omega$ ，漏源电压为 1.5V 时漏源电流约为 45A 和 75A ，Cree 同量级 ($1200\text{V}/25\text{m}\Omega$) 芯片尺寸为 $4.06\text{mm} \times 6.44\text{mm}$ ，有源区面积约为 20mm^2 ，栅电极为 $500\mu\text{m} \times 800\mu\text{m}$ ^[12]。与 Cree 制备的器件相比，本文采用磷掺杂钝化栅工艺制备的器件导通电阻更低，电流密度更大，从而实现更低的导通损耗，这与磷掺杂钝化栅能更有效提高载流子迁移率相对应。图 7 为两种栅钝化工艺制备的 4H-SiC DMOSFET 室温下器件反向击穿特性曲线，当 V_{DS} 为 1300V 时磷掺杂和 NO 退火器件均发生雪崩击穿，说明磷掺杂钝化栅对器件击穿特性没有太大影响。Cree 公司制备的器件在 1350V 左右击穿，击穿电压高了 50V ，都能满足 1200V 的耐压需求。

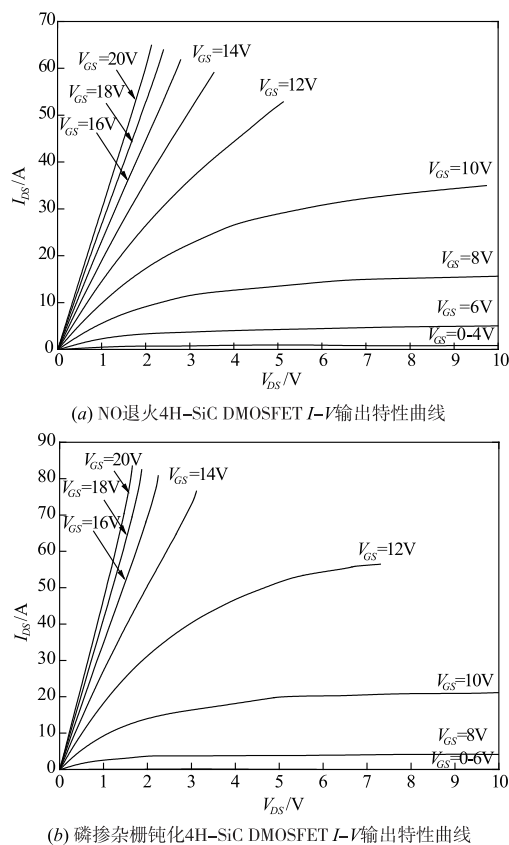


图6

4 结论

本文对比分析了磷掺杂和 NO 退火两种栅钝化工艺制备的 4H-SiC MOS 结构 C - V 特性、MOSFET 器件转移特性、DMOSFET 器件的 I - V 特性和击穿特性，实验结果表明磷掺杂栅钝化工艺制备的器件沟道载流子迁移

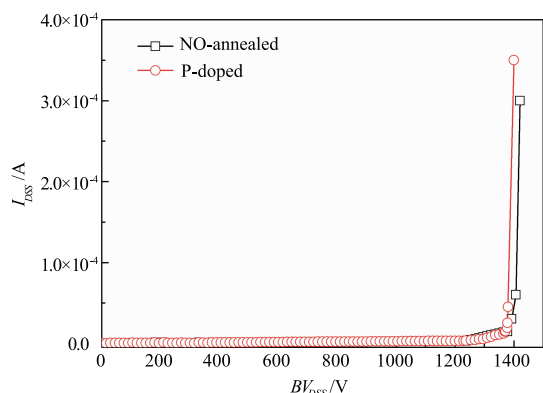


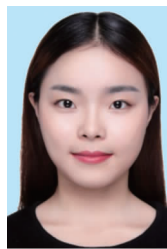
图7 不同栅钝化工艺4H-SiC DMOSFET击穿特性对比曲线

率为经 NO 退火处理的 2 倍多,由 $C-V$ 特性曲线推算出磷掺杂栅钝化工艺 SiO_2/SiC 的界面态密度比 NO 退火的 SiO_2/SiC 界面态密度低 2 倍多,这与得到的载流子迁移率的提高对应一致.在栅介质中引入磷能更有效地降低界面态密度,从而实现更高载流子迁移率.本文首次采用磷掺杂栅钝化工艺技术成功实现了击穿电压 1200V、漏极电流 75A、导通电阻 20m Ω 、阈值电压 2.4V 的增强型 4H-SiC DMOSFET,为今后推广应用于电力电子系统奠定了重要的技术基础.

参考文献

- [1] Sadow S E, Agarwal A. *Advances in Silicon Carbide Processing and Applications* [M]. Boston: Artech House, 2004. 1-4.
- [2] Afanasev V V, Bassler M, et al. Intrinsic SiC/SiO₂ interface states [J]. *physica status solidi*, 1994, 162: 321-337.
- [3] Li H F, Dimitrijević S, Harrison H B. Improved reliability of NO-nitrided SiO₂ grown on p-type 4H-SiC [J]. *IEEE Electron Device Letters*, 1998, 19(8): 279-281.
- [4] Chung G Y, Tin C C, et al. Improved inversion channel mobility for 4H-SiC MOSFETs following high temperature anneals in nitric oxide [J]. *IEEE Electron Device Letters*, 2001, 22(4): 176-178.
- [5] Yang X Y, Lee B, Misra V. Electrical characteristics of SiO₂ deposited by atomic layer deposition on 4H-SiC after nitrous oxide anneal [J]. *IEEE Transactions on Electron Devices*, 2016, 63(7): 2826-2830.
- [6] Lu C Y, Tsuji T, et al. Effect of process variations and ambient temperature on electron mobility at the SiO₂/4H-SiC interface [J]. *IEEE Electron Device Letters*, 2003, 50(7): 1582-1588.
- [7] Sharma Y K, Ahyi A C, et al. Phosphorous passivation of the SiO₂/4H-SiC interface [J]. *Solid State Electronics*, 2012, 68: 103-107.
- [8] Yano H, Knanfuji N, et al. Threshold voltage instability in 4H-SiC MOSFETs with phosphorus-doped and nitrided gate oxides [J]. *IEEE Transactions on Electron Devices*, 2015, 62(2): 324-332.
- [9] 朱巧智, 王德君, 赵亮. SiO₂/SiC 界面的 Wet-ROA 改性机理研究 [J]. *固体电子学研究与进展*, 2009, 29(3): 339-342.
Zhu Q Z, Wang D J, ZHAO L. The mechanism of wet-ROA process in improving SiO₂/SiC interface electrical properties [J]. *Research & Progress of SSE State Electronics*, 2009, 29(3): 339-342. (in Chinese)
- [10] 王晓琳, 刘冰冰, 秦富庆, 等. 氮氢混合等离子体处理对 SiC MOS 电容可靠性的影响 [J]. *固体电子学研究与进展*, 2016, 36(1): 71-77.
Wang X L, Liu B B, et al. The effect of NH mixed plasma treatment on the reliability of SiC MOS capacitors [J]. *Research & Progress of SSE State Electronics*, 2016, 36(1): 71-77. (in Chinese)
- [11] Terman L M. An investigation of surface states at a silicon/silicon oxide interface employing metal-oxide-silicon diodes [J]. *Solid-State Electronics*, 1962, 5(5): 285-299.
- [12] Cree. Silicon Carbide Power MOSFET C2M™ MOSFET Technology: C2M0040120D [OL]. <https://www.wolfspeed.com/downloads/dl/file/id/165/product/9/c2m0040120d.pdf>.

作者简介



刘佳佳 (通信作者) 女, 1992 年生于河北邯郸人, 硕士研究生, 主要从事 SiC 电力电子器件研究。
E-mail: CETCLiuJiaJia@qq.com



刘英坤 男, 1965 年生于河北新乐, 博士, 研究员, 硕士生导师, 河北半导体研究所副总工程师, 长期从事微波功率器件、半导体分立器件及微电子工艺技术研究。
E-mail: ykliuyk@sina.com